

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-284601

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

H01L 21/768  
H01L 21/28

(21)Application number : 09-102732

(71)Applicant : YAMAHA CORP

(22)Date of filing : 04.04.1997

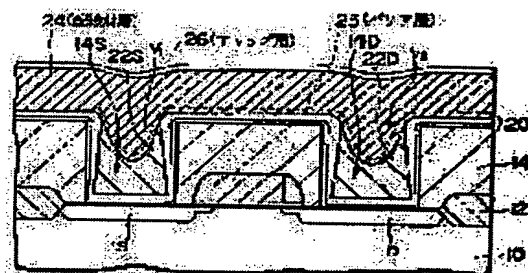
(72)Inventor : OMURA MASAYOSHI

## (54) WIRING FORMATION

## (57)Abstract:

PROBLEM TO BE SOLVED: To improve reliability of wiring in a method for forming the wiring, wherein a connecting hole is filled with an electrically conductive material layer formed of W (tungsten), etc.

SOLUTION: After a desired connecting hole 14S is formed in an interlayer insulating film 14 covering a surface of a semiconductor substrate 10, a contact layer 20 of TiN/Ti, etc., an electrically conductive material layer of W, etc., covering the film 14, and the connecting hole 14S are formed successively. After the electrically conductive layer is made thinner through anisotropic etching until the contact layer 20 is exposed and a part of the electrically conductive layer is left as a plug 22S in the connecting hole 14S, a seam hole V1 for the plug 22S is formed through taper etching so that the size thereof is gradually increase from the bottom toward the open end thereof. After a wiring material layer 24 of an Al alloy, etc., covering the plug 22S is formed, the layer 24 is patterned to form a wiring layer.



## LEGAL STATUS

[Date of request for examination]

20.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3381550

[Date of registration]

20.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-284601

(43) 公開日 平成10年(1998)10月23日

(51) Int. Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/768  
21/28

H 0 1 L 21/80  
21/28

D  
L

審査請求 未請求 請求項の数 2 F D (全 8 頁)

(21) 出願番号 特願平9-102732

(22) 出願日 平成9年(1997)4月4日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 大村 昌良

静岡県浜松市中沢町10番1号ヤマハ株式会  
社内

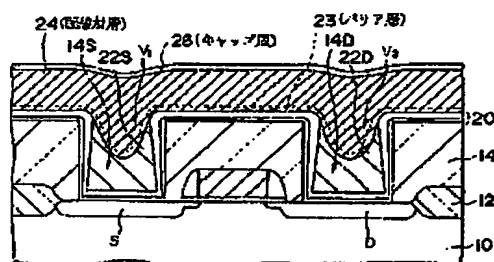
(74) 代理人 弁理士 伊沢 敏昭

(54) 【発明の名称】 配線形成法

(57) 【要約】

【課題】 W (タングステン) 等の導電材層で接続孔を埋める配線形成法において、配線の信頼性を向上させる。

【解決手段】 半導体基板10の表面を覆う層間絶縁膜14に所望の接続孔14Sを形成した後、膜14及び接続孔14Sを覆ってT、N/T、等の密着層20及びW等の導電材層を順次に形成する。異方性エッチングにより導電材層を密着層20が露出するまで薄くして接続孔14S内に導電材層の一部をプラグ22Sとして残した後、テーパーエッチングによりプラグ22Sのシーム孔V<sub>1</sub>を底部から開口端に向けて徐々にサイズが増大するように加工する。プラグ22Sを覆ってAl合金等の配線材層24を形成した後、層24をパターニングして配線層を形成する。



## 【特許請求の範囲】

【請求項1】一方の主面に接続部を有する基板を用意する工程と、

前記基板の一方の主面に前記接続部を覆って絶縁膜を形成する工程と、

前記絶縁膜に前記接続部に達する接続孔を形成する工程と、

前記接続孔を埋め且つ前記絶縁膜を覆うように導電材層を形成する工程と、

異方性エッチングにより前記導電材層を薄くして前記接続孔内に前記接続部につながるように前記導電材層の一部をプラグとして残す工程と、

テーパエッチングにより前記プラグのシーム孔を内部から開口端に向けて徐々にサイズが増大するように加工する工程と、

前記プラグのシーム孔を加工した後前記絶縁膜及び前記プラグを覆って配線材層を形成する工程と、

前記配線材層をパターニングして前記プラグにつながる配線層を形成する工程とを含む配線形成法。

【請求項2】前記プラグのシーム孔を加工した後前記配線材層を形成する前に前記絶縁膜及び前記プラグを覆って導電性のバリア層を形成する工程を更に含み、前記配線材層を形成する工程では前記バリア層を覆って前記配線材層を形成し、前記配線層を形成する工程では前記バリア層及び前記配線層を含む積層をパターニングして前記配線層を形成することを特徴とする請求項1記載の配線形成法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、W（タングステン）等の導電材層で接続孔を埋める工程を含む配線形成法に関し、特に接続孔を埋めるように形成した導電材層を異方性エッチングにより薄くして接続孔内にプラグを形成した後、テーパエッチングによりプラグのシーム孔を内部から開口端に向けて徐々にサイズが増大するように加工することにより高信頼の配線を形成可能としたものである。

【0002】

【従来の技術】従来、LSI等の半導体装置の配線形成法としては、接続孔を埋めるようにW層を形成した後、エッチバック処理によりW層を薄くして接続孔内にW層の一部をプラグとして残し、プラグを覆ってAl合金等の配線材層をリフロー式スパッタ法で形成するものが知られている（例えば、特開平7-115074号公報参照）。図10～12は、この種の従来法を示すものである。

【0003】図10の工程では、半導体基板10の表面に素子孔12Aを有するフィールド絶縁膜12を形成した後、素子孔12A内に周知の方法によりMOS型トランジスタを形成する。図示のMOS型トランジスタは、

ゲート絶縁膜Fと、ゲート電極層Gと、サイドスペーサH<sub>1</sub>、H<sub>2</sub>と、不純物濃度が比較的低いソース領域S<sub>1</sub>、及びドレイン領域D<sub>1</sub>と、不純物濃度が比較的高いソース領域S<sub>2</sub>及びドレイン領域D<sub>2</sub>とを備えている。

【0004】次に、素子孔12A内のMOS型トランジスタと絶縁膜12とを覆って酸化シリコン等の層間絶縁膜14をCVD（ケミカル・ベーパー・デポジション）法等により形成する。そして、周知のホトリソグラフィ及びドライエッチング処理によりソース領域S<sub>1</sub>に達する接続孔14Sとドレイン領域D<sub>1</sub>に達する接続孔14Dとを絶縁膜14に形成する。

【0005】次に、接続孔14S、14Dの内部及び絶縁膜12を覆ってTi、TiN等からなる密着層20Aをスパッタ法等により形成する。密着層20Aは、この後形成されるW層の密着性を向上させるために設けられるものである。

【0006】この後、密着層20Aを覆って接続孔14S、14Dを埋めるようにプランケットCVD法によりW層22Aを形成する。

【0007】図11の工程では、エッチバック処理によりW層22Aを薄くして接続孔14S、14D内にW層22Aの第1、第2の部分それぞれをそれぞれプラグ14S、14Dとして残す。この場合、エッチバック処理は、メインエッチング及びオーバーエッチングの2ステップで行なう。メインエッチングのステップでは、密着層20Aが露出するまでエッチングを行なう。オーバーエッチングのステップでは、図13に示すように絶縁膜14の凹部等に残存するW層22Aのエッチング残り22a、22bを除去するようにエッチングを行なう。

【0008】図12の工程では、密着層20A及びプラグ22S、22Dを覆ってAl合金等の配線材層24をスパッタ法等により形成する。そして、熱処理により配線材層24をリフローさせて段差部Q<sub>1</sub>、Q<sub>2</sub>での接続性を向上させる。この後、所望の配線パターンに従って配線材層24をパターニングすることによりプラグ22S、22Dにそれぞれつながるソース配線層及びドレイン配線層を形成する。

【0009】

【発明が解決しようとする課題】上記した従来技術によると、図10の工程でW層22Aを堆積する際に、接続孔14S、14Dの内壁へのWの堆積が進むにつれて接続孔14S、14Dの内部への材料ガス（WF<sub>6</sub>）の供給が制限され、接続孔14S、14Dの外部に比べて接続孔14S、14Dの内部ではWの堆積速度が遅くなる。そして、接続孔14S、14Dの上部でW層22Aの対向部分が接触して内部を閉じてしまうと、内部にはもはや材料ガスが供給されなくなり、Wの堆積が停止する。この結果、接続孔14S、14D内にはシーム孔V<sub>1</sub>、V<sub>2</sub>が形成される。

【0010】図10のエッチバック工程では、メインエ

ッチング及びオーバーエッチングのいずれのステップにおいても異方性エッチング条件にてエッチングを行なうのが通例である。いずれのステップでも等方性エッチング条件にてエッチングを行なうと、W層22Aが除去されてしまい、プラグ22S、22Dを形成できないからである。

【0011】図13に示すように絶縁膜12の不存在や配線層G、 $\sim$ G、の存在により絶縁膜14に凹部が形成された個所では、異方性のメインエッチングの終了時にW層22Aの複数部分がエッチング残り22a、22bとして残される。これは、W層22Aが絶縁膜14の凹部では厚さ1、1として示すように比較的厚く形成されると共に絶縁膜14の凸部では厚さ1、として示すように比較的薄く形成されることによるものである。Wからなるエッチング残り22a、22bは、配線間の短絡を招くことがあるので、除去する必要がある。

【0012】そこで、オーバーエッチングのステップでは、エッチング残りの除去を完全に行なうため、異方性エッチングを過剰気味に行なう。この結果、図11に示すようにプラグ22S、22Dの上部が削られ、深さkの凹部R、Rが形成される。また、シーム孔V、Vが露出される。さらに、図14に示すような広い接続孔（又はスクライプ領域）にあっては、絶縁膜14の凹部側壁にW層22Aの一部が側方にふくらんだ形の被覆物22cとして残される。

【0013】この後、図12の工程で配線材層24を形成すると、図12のQ、Qの個所や図14のQ<sub>1</sub>の個所で被覆性が悪化する。リフロー式スパッタ法を用いることで被覆性を向上させることは可能であるが、シーム孔V、Vをなくするのは困難である。別の方法として、被覆性が良いことで知られるCVD法を用いて配線材層24を形成しても、シーム孔V、Vの内径が非常に小さいため、シーム孔V、V内にCVDガスが入り込むのが困難であり、シーム孔V、Vを埋め尽くすことはできない。

【0014】このようにシーム孔V、Vがボイドとして残されると、ソース配線層やドレイン配線層がボイドに接触することになる。このため、V、V等のボイドを起点としてエレクトロマイグレーション等により配線層中にボイドが膨張したり、移動したりして断線を招くことがあり、配線の信頼性が低下するという問題点がある。

【0015】この発明の目的は、上記のようなボイドをなくして配線の信頼性を向上させることができる新規な配線形成法を提供することにある。

【0016】

【課題を解決するための手段】この発明に係る配線形成法は、一方の主面に接続部を有する基板を用意する工程と、前記基板の一方の主面に前記接続部を覆って絶縁膜を形成する工程と、前記絶縁膜に前記接続部に達

する接続孔を形成する工程と、前記接続孔を埋め且つ前記絶縁膜を覆うように導電材層を形成する工程と、異方性エッチングにより前記導電材層を薄くして前記接続孔内に前記接続部につながるように前記導電材層の一部をプラグとして残す工程と、テーパーエッチングにより前記プラグのシーム孔を内部から開口端に向けて徐々にサイズが増大するように加工する工程と、前記プラグのシーム孔を加工した後前記絶縁膜及び前記プラグを覆って配線材層を形成する工程と、前記配線材層をパターンニングして前記プラグにつながる配線層を形成する工程とを含むものである。

【0017】この発明の方法によれば、テーパーエッチングによりプラグのシーム孔を底部から開口端に向けて徐々にサイズが増大するように加工した後、プラグを覆って配線材層を形成するようにしたので、加工されたシーム孔を埋め尽くすように配線材層を形成することができ、従って、シーム孔がボイドとして残されることがなくなり、配線の信頼性を向上させることができる。

【0018】この発明の方法にあっては、プラグのシーム孔を加工した後配線材層を形成する前にプラグを覆って導電性のバリア層を形成してもよい。バリア層は、配線材層を構成するAl等の拡散を阻止するので、接合リーク耐性の向上が可能となる。また、バリア層を密着層としても用いることができ、密着性の向上も可能となる。

【0019】

【発明の実施の形態】図1～7は、この発明の一実施形態に係る配線形成法を示すもので、各々の図に対応する工程(1)～(7)を順次に説明する。

【0020】(1)例えばS<sub>1</sub>(シリコン)からなる半導体基板10の表面に周知の選択酸化法によりSiオキサイドからなるフィールド絶縁膜12を素子孔12Aを有するように形成する。絶縁膜12の素子孔12A内の半導体表面に熱酸化法等によりゲート絶縁膜Fを形成した後、ポリSi層又はポリサイド層(ポリSi層にシリサイド層を重ねた積層)等を堆積してパターンニングすることによりゲート電極層Gを形成する。このとき、所望によりゲート絶縁膜Fをゲート電極層Gと同じパターンでパターンニングすることもできる。

【0021】次に、絶縁膜F及び電極層Gの積層と絶縁膜12とをマスクとする選択的な不純物導入処理(例えばイオン注入処理)により比較的の不純物濃度が低いソース領域S、及びドレイン領域D、を形成する。そして、Siオキサイド等のサイドスペーサ材を基板上面に堆積してエッチバック処理を行なうことによりゲート電極層Gの両側のサイドスペーサH、Hを形成する。

【0022】この後、絶縁膜F、電極層G及びサイドスペーサH、Hを含むゲート部GPと絶縁膜12とをマスクとする選択的な不純物導入処理(例えばイオン注入処理)により比較的の不純物濃度が高いソース領域S及

びドレイン領域Dを形成する。

【0023】(2) 素子孔12A内のMOS型トランジスタと絶縁膜12とを覆ってPSG（リンケイ酸ガラス）及びBPSG（ボロン・リンケイ酸ガラス）を順次に堆積して0.8μm程度の厚さを有する層間絶縁膜14を形成する。そして、周知のホトリソグラフィ及びドライエッチング処理により絶縁膜14に0.45μm程度の直径を有するソース接続孔14S及びドレイン接続孔14Dをそれぞれソース領域S及びドレイン領域Dに達するように形成する。

【0024】(3) 接続孔14S、14Dの内部及び絶縁膜12を覆ってTiN、TiON、Ti等を含む密着層20をスパッタ法又はCVD法等により形成する。一例として、密着層20は、5～50（好ましくは20）nmの厚さのTi膜16を堆積した後、Ti膜16の上に50～200（好ましくは100）nmの厚さのTiN膜18を堆積して形成する。TiN膜18の代りにTiON膜を用いてもよい。

【0025】Ti膜16は、スパッタ法により堆積することができる。成膜条件は、一例として、

基板温度：150℃

Ar流量：30sccm

圧力：3mTorr

スパッタリングパワー：1150W

とすることができる。

【0026】Ti膜16の堆積には、コリメートスパッタ法又はロングスロースパッタ法を用いるのが好ましい。このような方法を用いると、微細な接続孔の底部で十分なTi膜厚を得ることができる。また、CVD法を用いれば理想的な被覆性を持ったTi膜を形成可能である。

【0027】密着層20の材料としては、上記したものに限らず、TiW等の高融点金属の合金、金属シリサイド、金属シリサイドとTiN等の金属窒化物との積層、高融点金属とその窒化物（又はホウ化物）との積層等を用いてもよい。

【0028】密着層20を形成した後、密着層20の耐熱性及びバリア性を向上させるために、N<sub>2</sub>雰囲気中で500～800℃の基板温度にて10～60秒間の高速熱処理（ランプアニールのようなRapid Thermal Anneal [RTA] 処理）を行なってもよい。

【0029】(4) 接続孔14S、14Dの内部及び密着層20を覆ってW等のプラグ材料からなる導電材層22をCVD法で形成する。導電材層22の厚さは、接続孔14S、14Dが導電材で埋まるように選択される。すなわち、埋めたい接続孔の直径の1/2以上の膜厚が選定され、一例として100～800（好ましくは400～600）nmが選定される。導電材層22の厚さが薄いと成膜装置の負荷が少なくて済む。

【0030】導電材層22の材料としては、WF<sub>6</sub>等の

蒸気圧の高い化合物を持つ金属種が選択される。一例としてWをCVD法により堆積する場合、成膜条件は、

基板温度：450℃

ガス流量：WF<sub>6</sub>/H<sub>2</sub>/Ar=40/400/2250sccm

圧力：10kPa

とすることができる。

【0031】他の金属材料としては、例えばMo、Ta、Ti、Ni、Cu、Pt等の低沸点・高蒸気圧の化合物ガスが存在する金属であればWと同様に利用可能である。ここに例示した金属の原料ガスとしては、MoF<sub>6</sub>、[成膜温度Td=400～800℃]、TaF<sub>5</sub>、[Td=600～1000℃]、TiCl<sub>4</sub>、[Td=350～600℃]、Ni(CO)、[Td=100～300℃]、Pt(CO)、Cl<sub>2</sub>、[Td=200～600℃]等が知られている。

【0032】導電材層22を形成する際には、前述したように接続孔14S、14D内にシーム孔V<sub>1</sub>、V<sub>2</sub>が形成される。

【0033】(5) エッチバック処理により導電材層22を薄くして接続孔14A、14B内に導電材層22の第1及び第2の部分それぞれプラグ22S及び22Dとして残す。エッチバック処理は、メインエッチング及びオーバーエッチングの2ステップで行なう。

【0034】メインエッチングのステップでは、密着層20が露呈するまで導電材層22を異方性エッチング条件にてドライエッチングする。このときのドライエッチングをRIE（反応性イオンエッチング）法で行なう場合、エッチング条件は、一例として、

ガス流量：SF<sub>6</sub>/Ar=30～140/40～140（好ましくは110/90）sccm

高周波パワー：450W

圧力：32Pa

とすることができる。

【0035】Wのエッチング終点の検出は、F<sup>+</sup>の発光強度（波長704nm）をモニターし、F<sup>+</sup>の発光強度が増大してくる所（発光強度の微分が大きくなる時点）を検出することにより行なうことができる。

【0036】なお、メインエッチングは、絶縁膜14上で密着層20が除去されて絶縁膜14が露呈するまで行なうようにしてもよい。

【0037】メインエッチングの後、同じエッチング装置（又は別のエッチング装置）にてオーバーエッチングを行なう。オーバーエッチングのステップでは、V<sub>1</sub>、V<sub>2</sub>等の各シーム孔をその直径が底部から開口端に向けて徐々に増大するように加工する（各シーム孔の側壁傾斜角が90°より小さくなる（いわゆる肩テーパー状となる）ように各シーム孔にテーパエッチングを施す）と共に図13の22a、22bのようなWのエッチング残りを完全に除去するように等方性エッチング条件にて

ドライエッチングを行なう。

【0038】エッチング時間を短縮するため、オーバーエッチングをメインエッチングと同じエッチング装置内でエッチング条件を変更して行なうのが好ましい。エッチング条件は、一例として、

ガス流量:  $\text{SF}_6/\text{Ar}/\text{O}_2 = 50 \sim 180/0 \sim 90/0 \sim 50$  (好ましくは  $140/0/5$ ) sccm

高周波パワー: 200W

圧力: 27Pa

とすることができる。ここで、 $\text{O}_2$  ガスを添加したものは、シーム孔を順テーパー状に加工しやすくするためである。 $\text{O}_2$  ガスに代えて、酸素の供給源となりうる $\text{H}_2\text{O}$ 、 $\text{O}_2$  (オゾン) 等のガスを用いてもよい。

【0039】オーバーエッチングの結果、 $V_1$ 、 $V_2$  等のシーム孔は、図5に示すように底部から開口端に向けてサイズが増大し、この後形成される配線材層で埋め尽くすのが容易となる。

【0040】(6) 接続孔14S、14D内のプラグ22S、22D及び密着層20の露出部を覆って配線材層24をスパッタ法又はCVD法等により形成し、必要に応じて配線材層24がシーム孔 $V_1$ 、 $V_2$  を十分に埋めるようにリフロー処理を行なう。

【0041】配線材層24としては、A1層又はA1-Si、A1-Si-Cu等のA1合金層をスパッタ法で100~1000 (好ましくは500) nmの厚さに形成することができる。このときの成膜条件は、一例として、

基板温度: 200℃

Ar流量: 33sccm

圧力: 2mTorr

スパッタリングパワー: 9000W

とすることができる。このようにして層24を形成した後、層24を有する基板10を400~550℃に加熱して層24をリフローさせることによりシーム孔 $V_1$ 、 $V_2$  を層24で十分に埋める。この場合、接続孔14S、14Dから露れた平坦状部分では、層24が流動しても膜厚の変化はない。

【0042】層24のスパッタ時にコリメートスパッタ法又はロングスロースパッタ法を用いると、微細なプラグのシーム孔の底部でも十分な初期膜厚が得られるので、一層平易なリフロー条件で孔埋めを行なえる。

【0043】配線材層24としては、A1又はA1合金層の代りに、Cu又はCu合金 (Cu-Cr、Cu-Zr、Cu-Pd等) を用いてもよく、この場合にはスパッタリング時のターゲットをCu又はCu合金に置き換えるだけである。

【0044】シーム孔 $V_1$ 、 $V_2$  を埋めるのに好適な成膜方法としては、上記したリフローズパッタ法の代りに、PVD (フィジカル・ベーパー・デポジション) 法又はCVD法を用いてもよい。

【0045】PVD法を用いる場合、独立のリフロー工程なしに成膜と孔埋めとを同時に達成可能である。例えば、高温スパッタ法を用いる場合、配線材層24を構成するA1又はA1合金をスパッタリングしながら基板10を加熱していき、最終的に基板温度が400~550℃になるまで加熱することで成膜と孔埋めとを一気に達成できる。

【0046】また、CVD法を用いる場合、接続孔の微細化に対応して微細なプラグのシーム孔を容易に埋め込める利点がある。例えば、ジメチル・アルミニウム・ハイドライド (DMAH) 等のガスと $\text{H}_2$  ガス (キャリアガス) とを用いて基板温度100~250℃、ガス流量200~500sccmの条件で成膜を行なうことができる。この場合、基板温度を低く設定すると、成膜されたA1層 (層24) がリフローしないため、緻密性はコンフォーマルとなる。そこで、成膜後にA1層 (層24) を真空中又は不活性ガス中で加熱してリフローさせることによりシーム孔を埋め尽くした形のA1層 (層24) を得ることができる。

【0047】また、下地に対して選択的な成長条件を設定することでプラグ22S、22D上にのみ金属層を成長させてシーム孔 $V_1$ 、 $V_2$  を埋めることも可能である。

【0048】上記したようにプラグ22S、22D及び密着層20を直接的に覆って配線材層24を形成する代りに、プラグ22S、22D及び密着層20を直接的に覆って導電性のバリア層23を形成した後、バリア層23の上に配線材層24を形成するようにしてもよい。このようにすると、配線材層24を構成するA1等の拡散をバリア層23で阻止することができるので、接合リーク耐性の向上が可能となる。また、バリア層23は、CVD法で配線材層24を形成するときに密着層としても働く。従って、信頼性を一層向上させることができる。

【0049】バリア層23は、前述した密着層20と同様にT1層及びT1N層 (又はT1ON層) を順次にスパッタ法等で堆積することにより形成することができる。

【0050】バリア層23の材料としては、上記したものに限らず、TiW等の高融点金属の合金、金属シリサイド、金属シリサイドとTiN等の金属窒化物との積層、高融点金属とその窒化物 (又はホウ化物) との積層等を用いてもよい。

【0051】バリア層23を形成した後、バリア層23の耐熱性及びバリア性を向上させるために、 $\text{N}_2$  雰囲気中で500~800℃の基板温度にて10~60秒間の高温熱処理 (RTA処理) を行なってもよい。

【0052】バリア層23を形成したか否かに関係なく、配線材層24の上には、導電性のキャップ層26を形成してもよい。キャップ層26は、例えば7nm程度のT1層及び40nm程度のT1N層を順次に堆積する

ことにより形成することができる。キャップ層26には、ホトリソグラフィ処理時に光反射を防止したり、配線層24の酸化を防止したり、配線層24からのAl等の拡散を阻止したりする作用がある。

【0053】(7) 周知のホトリソグラフィ及びドライエッチング処理により配線層24をパターンニングして層24の第1及び第2の部分24S及び24Dをそれぞれプラグ22S及び22Dにつながらるように残存させる。バリア層23及び/又はキャップ層26を形成したときは、いずれの層も配線層24と共にパターンニングして層23の第1及び第2の部分23S及び23D及び/又は層26の第1及び第2の部分26S及び26Dを残存させる。

【0054】プラグ22Sにつながらずソース配線層28Sは、配線層24の残存部分24Sを含み、バリア層23及び/又はキャップ層26を形成したときは層23の残存部分23S及び/又は層26の残存部分26Sも含む。プラグ22Dにつながらずドレイン配線層28Dは、配線層24の残存部分24Dを含み、バリア層23及び/又はキャップ層26を形成したときは層23の残存部分23D及び/又は層26の残存部分26Dも含む。

【0055】上記した実施形態では、ソース領域S及びドレイン領域Dにそれぞれつながる配線層28S及び28Dを形成したが、図2〜7の工程を応用することで28S、28Dのような配線層につながる上層配線を形成可能である。

【0056】上記した実施形態では、図5の工程において $V_1$ 、 $V_2$ 等のシーム孔を全体的に順テーパー状に加工したが、図9においてシーム孔 $V_1$ について例示するようにシーム孔の上部のみ順テーパー状に加工するようにしてもよい。すなわち、シーム孔 $V_1$ を底部と開口端との中間の位置を境にして上部及び下部に分け、底部までの深さ $h$ を有する下部では底部近傍を除きほぼ一定の直径 $d$ を有すると共に下部から開口端に至る上部では直径が $d$ から開口端に向けて徐々に増大するようにシーム孔 $V_1$ を加工してもよい。

【0057】図9のプラグ構造にあっては、シーム孔 $V_1$ を有するプラグ22S上に形成したAl合金等の配線層(図6の24に対応)をリフローさせてシーム孔 $V_1$ を埋め込む場合、 $h/d$ が1.0以下であればリフローした配線材でシーム孔 $V_1$ の下部を埋め込むことができる。また、Al合金等の配線層(図6の24に対応)をMOCVD(Metalorganic CVD)法で形成する場合は、 $h/d$ がおおよそ2.0であってもシーム孔 $V_1$ の下部を配線層で埋め込むことができる。

【0058】上記したこの発明の実施形態によれば、次のような作用効果が得られる。

【0059】(イ) 図6に示したように加工されたシーム孔 $V_1$ 、 $V_2$ を埋め尽くすように配線層24を形成

することができるので、シーム孔 $V_1$ 、 $V_2$ がボイドとして残されることがなくなると共に配線層24の信頼性が向上する。従って、配線の信頼性が大幅に向上する。

【0060】(ロ) 図8に示すような広い接続孔(又はスクライプ領域)にあっては、絶縁膜14の凹部側壁に導電層22の一部が等方性のオーバーエッチングにより滑らかな凹面状の表面を持つスミージング膜22dとして残されるので、配線層24の信頼性が向上する。

【0061】(ハ) 等方性のオーバーエッチングは、異方性のオーバーエッチングに比べて図13で22a、22bとして示したようなエッチング残りの除去が容易である。すなわち、等方性のオーバーエッチングでは、縦方向のみならず横方向にもエッチングが進行するため、異方性のオーバーエッチングでは除去困難なエッチング残りも短時間で除去可能である。従って、オーバーエッチング時間の短縮が可能であり、スループットの向上により製造コストの低減が可能となる。

【0062】(ニ) オーバーエッチング時間が短縮されると、図5に示したプラグ22S、22Dの膜減り量が低減されるため、配線層24の信頼性が向上する。

【0063】(ホ) Al合金等の配線層24は、W等の導電層22に比べて抵抗率が小さい。従って、図12に示したように接続孔の大部分をWプラグで埋める場合に比べて図6に示したように接続孔を層22の導電材と層24の配線材との積層で埋める場合の方がプラグ全体の抵抗を低下させることができる。その上、図6に示したプラグ構造では、図12に示したようなシーム孔 $V_1$ 、 $V_2$ がボイドとして残されていないので、プラグ全体の抵抗を一層低下させることができる。従って、配線抵抗が低い高性能LSIを実現可能となる。

【0064】

【発明の効果】以上のように、この発明によれば、接続孔を埋めるように形成した導電層を異方性エッチングにより薄くして接続孔内にプラグを形成した後、テーパーエッチングによりプラグのシーム孔を内部から開口端に向けて徐々にサイズが増大するように加工して接続孔を埋め尽くすように配線層を形成可能としたので、プラグにボイドを生ずることなく配線層を形成することができ、高信頼で低抵抗の配線を低コストで実現できる効果が得られる。

【0065】また、プラグのシーム孔を加工した後配線層を形成する前に導電性のバリア層を形成すると、接合リーク耐性や密着性の向上が可能となり、配線の信頼性が一層向上する効果もある。

【図面の簡単な説明】

【図1】 この発明の一実施形態に係る配線形成法におけるトランジスタ形成工程を示す基板断面図である。

【図2】 図1の工程に続く層間絶縁膜形成工程及び接続孔形成工程を示す基板断面図である。

11

【図3】 図2の工程に続く密着層形成工程を示す基板断面図である。

【図4】 図3の工程に続く導電材層形成工程を示す基板断面図である。

【図5】 図4の工程に続くエッチバック工程を示す基板断面図である。

【図6】 図5の工程に続く配線材層形成工程を示す基板断面図である。

【図7】 図6の工程に続く配線パターンニング工程を示す基板断面図である。

【図8】 図6の工程における広い接続孔（又はスクライプ領域）を示す基板断面図である。

【図9】 シーム孔加工の変形例を示す断面図である。

【図10】 従来の配線形成法における導電材層形成工程を示す基板断面図である。

10

\* 【図11】 図10の工程に続くエッチバック工程を示す基板断面図である。

【図12】 図11の工程に続く配線材層形成工程を示す基板断面図である。

【図13】 図11の工程におけるエッチング状況を示す基板断面図である。

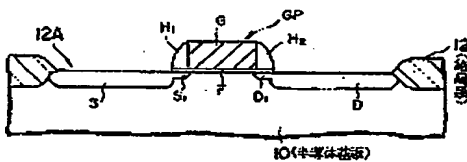
【図14】 図12の工程における広い接続孔（又はスクライプ領域）を示す基板断面図である。

【符号の説明】

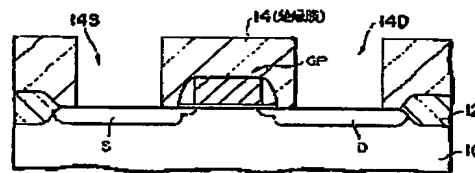
10：半導体基板、12：フィールド絶縁膜、14：層間絶縁膜、16：Ti層、18：TiN層、20：密着層、22：導電材層、22S、22D：プラグ、23：バリア層、24：配線材層、26：キャップ層、28S、28D：配線層。

\*

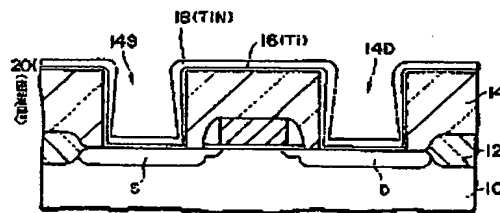
【図1】



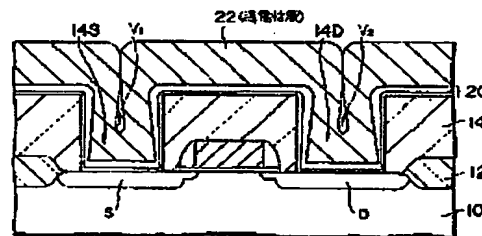
【図2】



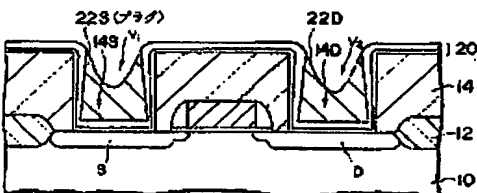
【図3】



【図4】



【図5】



【図6】

